

| 版本更新说明 |            |      |
|--------|------------|------|
| 版本号    | 更新日期       | 更新说明 |
| V1.0   | 2025.08.29 | 初始版本 |
|        |            |      |
|        |            |      |

杰理方案咨询(QQ号:1418295957, 邮箱:fae@zh-jieli.com)

产品安全规范

- 1、电源选型
- a. 注意供电场强，严格控制输入电压范围。  
供电至VPWR，不和IOVDD短接（≤5.5V，如3.7V锂电池/5V适配器应用），  
或供电至VPWR，和IOVDD短接（≤3.4V，如3.0V 2节干电池应用），  
b. 注意供电噪声，防止压/反压/反流/漏涌等。
- 2、电容选型
- a. 注意电容规格与电压下降，请根据工作电压下的容值（优选0402或更大尺寸的封装），  
b. 请选用原装电容（非拆机、变质电容），以保证可靠性和品质。
- 3、主供电PMOS和ESD器件耐压≥10V，上拉其他电阻耐压≥6.3V；  
其它外设电容根据其工作要求选择（防止漏涌、过冲/击穿等）。
- 4、静电选型
- a. 整机静电标准必须≥（接触4KV，空气48KV），  
b. 天线输入端必须加ESD管，请使用推荐型号。
- 5、浪涌选型
- a. 抗浪涌前一般要求≥48V（根据实际应用场景调整），建议留有冗余量设计。  
b. VPWR输入端必须加TVS管，请使用推荐型号。

设计注意事项

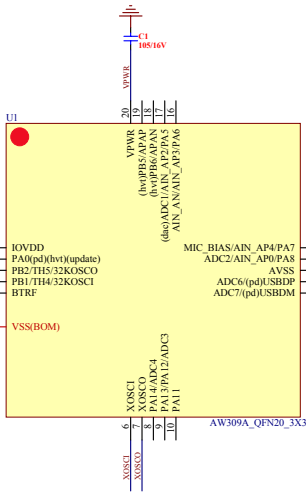
- 1、电源：
- 1) 供电电源输入单元，支持供电至VPWR（不和IOVDD短接，输入≤5.5V，和IOVDD短接，输入≤3.4V），  
2) IOVDD从3.3V电源域输出，不可关断，电压档位可设，2.1V≤IOVDD≤3.4V，Ibmax=120mA(包含主控和消磁)，连接外设时，应避免过流输出。  
3) IOVDD从APA音频模块的电源输入端，和VPWR短接（或分接），其电压大小决定APA模块输出电平。
- 2、音频：
- 1) 内置1路140S Audio DAC，支持1路单端输出（固定出口PA5，必须外接PA），  
2) 内置1路140S Audio ADC，支持ANx 8路模拟输入（x4为EA通道），可配MIC或AIUX输入，支持单端或差分，支持输入≤1.5Vpp(单端)或2.8Vpp(差分)，  
单端时，输入可接AINx APx，差分时，AINx APx为正极，AINx ANx为负极，x代表1/2/3/4通道。  
注1：MIC为电容单端输入，固定出口PA7，和MIC\_BIAS合用，需外接电容(上拉电阻+电容)；  
注2：MIC\_BIAS（固定出口PA7），和AINx APx合用，一般用于MIC单电，可选内置上拉0.5K-10K输出。  
注3：AINx ANx（固定出口PA6），和AINx APx合用，一般用于差分信号输入。  
3) 内置APA模块IDAC和DAC，支持独立点压（DIT）输出模式，支持单声道或差分直接4ohm，8ohm阻抗，不支持立体声。  
4) 内置APA模块IDAC和DAC，支持独立点压（DIT）输出模式，支持单声道或差分直接4ohm，8ohm阻抗，不支持立体声。  
注：APA/APAN，若无音码应用，可用PA0输出，一般仅用于PWM或UART\_TX外设，“APA输出电压”必须限制在“外设的电源域”。
- 3、IO
- 1) 除IOVDD，其他IO根据需求，根据芯片规格书IO说明进行灵活分配。  
2) 存在GPIO的可配置引脚口（可配置为IO），驱动能力和阻抗，IO状态可保持。  
3) PA0引脚串口烧写功能时，需控制PA0对地电容尽量小（比如控制在14F以内），  
4) PA0和USBDM/USBDP上拉电阻下拉，PA0上拉电阻上拉。  
5) USBDM/USBDP上拉电阻0KΩ，下拉10KΩ，USBDP可上拉1.5KΩ，下拉1.5KΩ，其他IO可内部上下拉10KΩ/100KΩ/1MΩ。  
6) PB5/PB6/PA0为高阻IO，阻抗≤（5.5V或2.1V IOVDD中值）×（只能前置，8mA），  
（USBDM/USBDP可前置驱动）（驱动电流8mA），其他IO对地电容可设置200p-500nF阻抗。  
注：若USBDP功能应用，USBDM/USBDP一般仅用于IO阻抗或输入检测功能等。  
7) BP、SFC、SPB、RTC，内接电阻，ADC内部，音码AIUX等外设，均须固定IO，严禁随意分配。  
8) EC、ALINK（IS）、SPI2、UART、SD、TIMER/PWM/CAP、MCPWM、CLKOUT等外设，支持crosstalk映射，可灵活分配IO，支持映射到除PA外的IO，如PA10、PB10等。  
9) RF、音频、模拟AUDIO等信号信号IO，严禁分配高速跳变信号，且应做好隔离，避免干扰。

IO名词解析

- VPWR: 芯片供电输入端（不和IOVDD短接，输入≤5.5V，和IOVDD短接，输入≤3.4V），  
IOVDD: 芯片I/O输出输出（不可关断），驱动电流120mA（包括主控IO消耗）；  
T14: 内置喇叭（x为通道）；  
ADCx: ADC采样输入通道（x为通道）；  
APA: 音频处理器（D类功放）；  
MIC\_BIAS: MIC单电，可选内置上拉0.5K-10K输出；x为通道；  
AINx: 模拟音频单端/差分输入（x为通道），其中AINx ANx为差分负端输入（专用）；  
dac: 音频DAC输出（需外接PA）；  
update: 串口升级IO；  
hnt: 接口阻抗；  
pse: 上电开机初始状态为上拉；  
pd: 上电开机初始状态为下拉；  
AVSS: 模拟地；  
VSS: 数字地或主系统地；

最小系统参考

(IO外设，根据需求拓展)



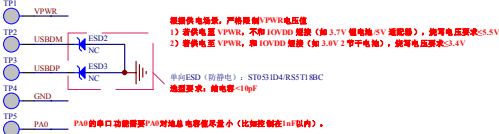
AGND走线要求

- AGND地走线要求：
1. PCB Layout需分地（区分AGND/BGND）
  2. AGND走线规则：音频及AGND=1上的AGND管脚=功放Bypass电源地或总电源供电入口GND短接；  
DPM/CAUX/PA5引脚短接；单端大阻抗走线或主上拉AGND管脚，器具主控AGND引脚，单端走线到功放Bypass电源地或总电源供电入口GND短接；  
注：若电路复杂可分地，可尝试或短接点，如在AGND管脚处和主控对地端GND短接。

烧写场景说明

| 烧写场景    | 烧写说明                 | 预留烧写测试点 | 备注 |
|---------|----------------------|---------|----|
| USB更新程序 | VPWR、USBDM、USBDP、GND |         |    |
| 串口更新程序  | VPWR、PA0、GND         |         |    |

预留测试点，方便烧写、升级、测试

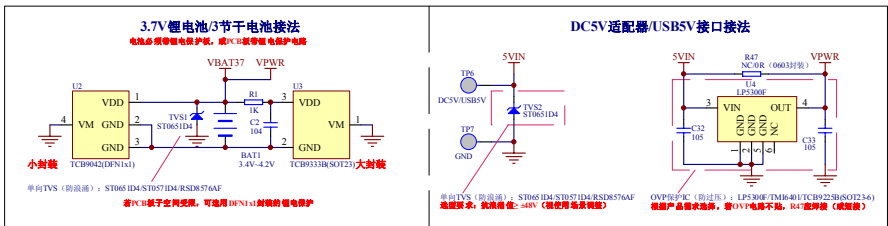


TEST POINT

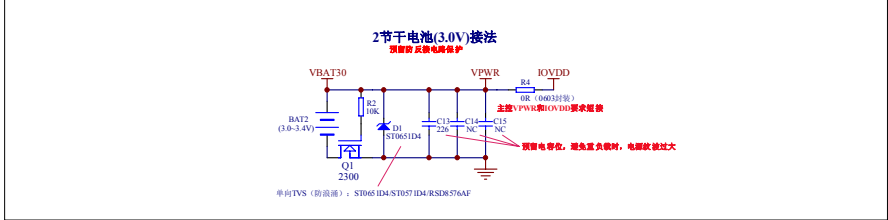
供电场景说明

| 供电说明                   | 输入电压  | 适用场景                            |
|------------------------|-------|---------------------------------|
| 供电至VPWR<br>(不和IOVDD短接) | ≤5.5V | 如3.7V锂电池/3节干电池、DC5V适配器/USB5V接口等 |
| 供电至VPWR<br>(和IOVDD短接)  | ≤3.4V | 如2节干电池应用                        |

方案1：供电至VPWR，不和IOVDD短接（≤5.5V）



方案2：供电至VPWR，和IOVDD短接（≤3.4V）



MCU

POWER