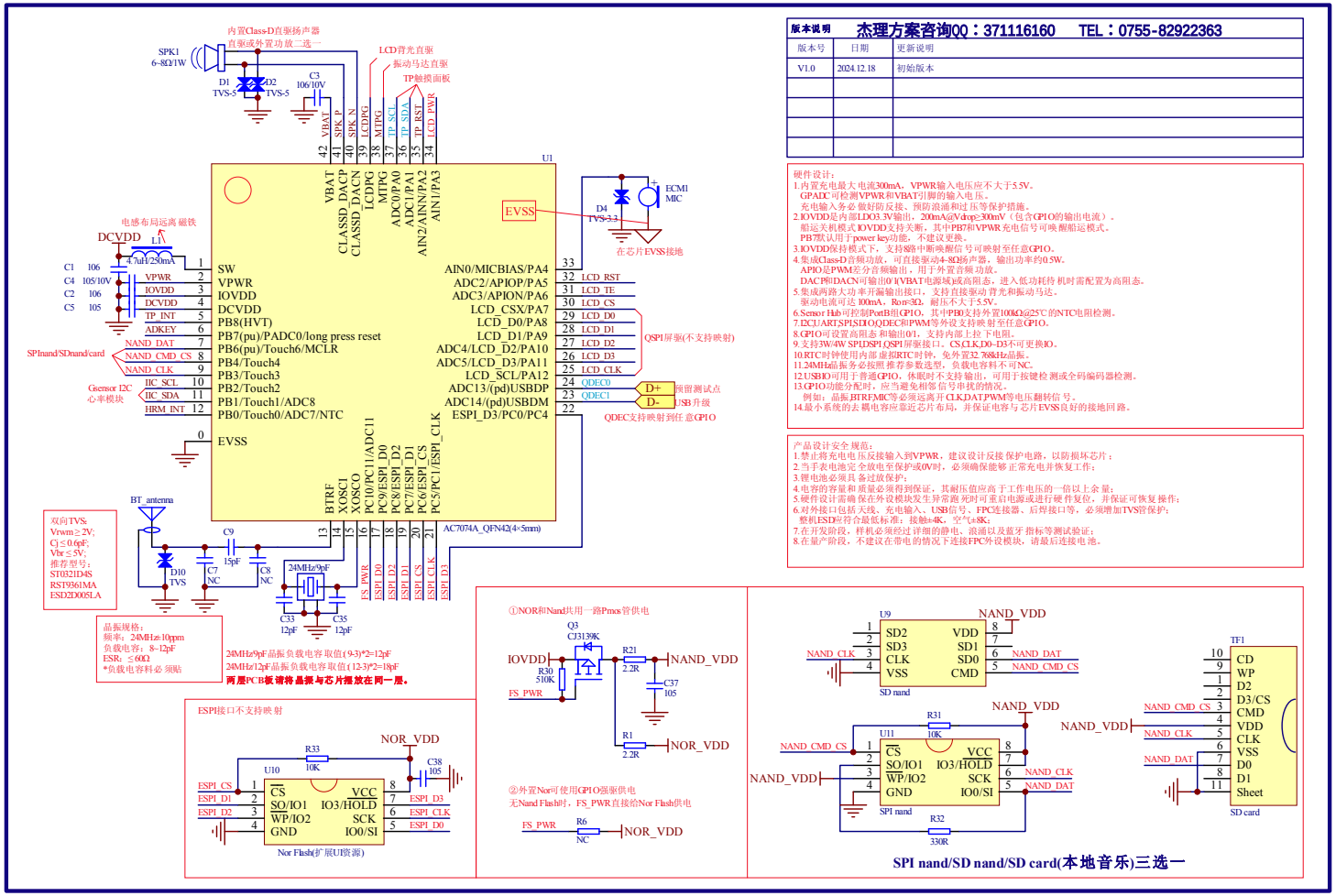
杰理方案咨询QQ：371116160　TEL：0755-82922363

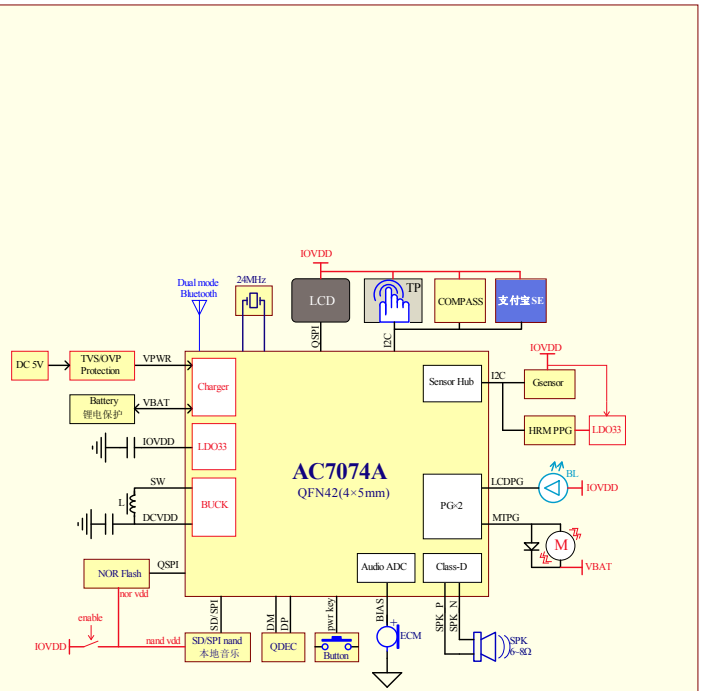
版本说明	日期	更新说明
V1.0	2024.12.18	初始版本

硬件设计：
1.内置充电最大电流300mA，VPWR输入电压应不大于5.5V。
GPADC可检测VPWR和VBAT引脚的输入电压。
充电输入务必做好防反接、预防浪涌和过压等保护措施。
2.IOVDD是内部LDO3.3V输出，200mA@V.drop≥300mV（包含GPIO的输出电流）。
船运关机模式IOVDD支持关断。其中PB7和VPWR充电信号可唤醒船运模式。
PB7默认用于power key功能，不建议更换。
3.IOVDD保持模式下，支持8路中断唤醒信号可映射至任意GPIO。
4.集成Class-D音频功放，可直接驱动4-8Ω扬声器，输出功率约0.5W。
APIO是PWM至分音频输出，用于外置音频功放。
DAC和DACN可输出0.1(VBAT电源域)或高阻态，进入低功耗待机时需配置为高阻态。
5.集成两路大功率开漏输出接口，支持直接驱动背光和振动马达。
驱动电流可达 100mA，Ron≤3Ω，耐压不大于5.5V。
6.Sensor Hub可控制PortB组GPIO，其中PB0支持外置100kΩ@25℃的NTC电阻检测。
7.I2C\UART\SPI\SDIO\QDEC和PWM等外设支持映射至任意GPIO。
8.GPIO可设置高阻态和输出0/1，支持内部上拉下电阻。
9.支持3W/4W SPI\DSPI\QSPI屏驱接口，CS\CLK\D0~D3不可更换IO。
10.RTC时钟使用内部虚拟RTC时钟，免外置32.768kHz晶振。
11.24MHz晶振务必按照 推荐参数选型，负载电容料不可NC。
12.USBIO可用于普通GPIO，休眠时不支持输出，可用于按键检 测或全码编码器检测。
13.GPIO功能分配时，应当避免相邻信号串扰的情况。
例如：晶振,BTRF,MIC等必须远离并CLK,DAT,PWM等电压翻转信 号。
14.最小系统的去耦电容应靠近芯片布局，并保证电容与 芯片EVSS良好的接地回路。

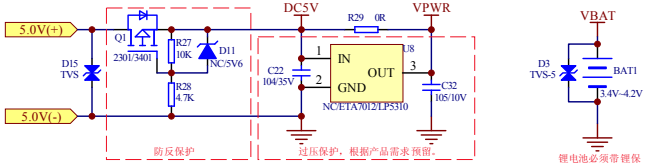
产品设计安全规范：
1.禁止将充电电压反接输入到VPWR，建议设计反接 保护电路，以防损坏芯片；
2.当手表电池完全放电至保护或0V时，必须确保能够 正常充电并恢复工作；
3.锂电池必须具 备过放保护；
4.电容的容量和 质量必须得到保证，其耐压值应高 于工作电压的一倍以上余 量；
5.硬件设计需确 保在外设模块发生异常跑 死时可重启电源或进行硬 件复位，并保证可恢复 操作；
6.对外接口包括 天线、充电输入、USB信号、FPC连接器、后焊接口等，必须增加TVS管保护；
整机ESD安符合最低标准：接触±4K，空气±8K；
7.在开发阶段，样机必须经过 详细的静电、浪涌以及蓝牙 指标等测试验证；
8.在量产阶段，不建议在带电 的情况下连接FPC外设模块，请最后连接电 池。



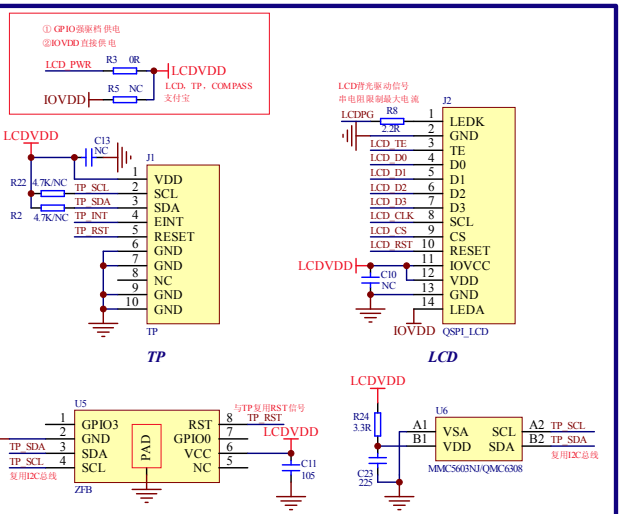
SPI nand/SD nand/SD card(本地音乐)三选一



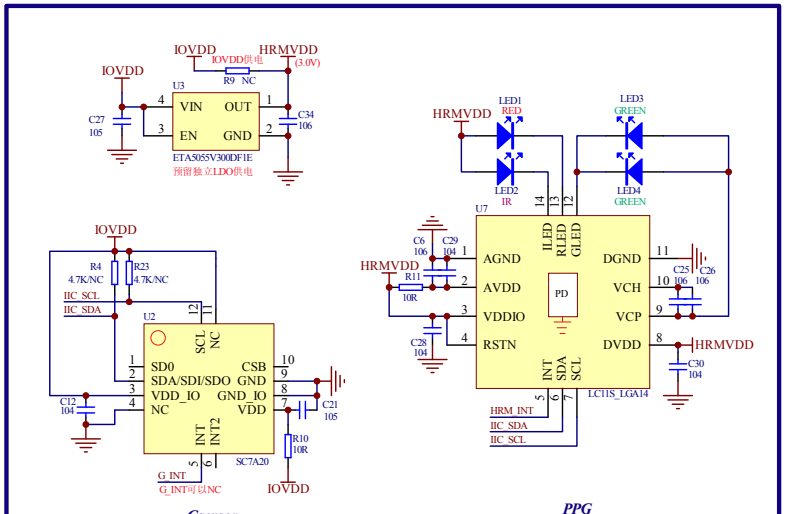
AC7074A手表方案硬件框图



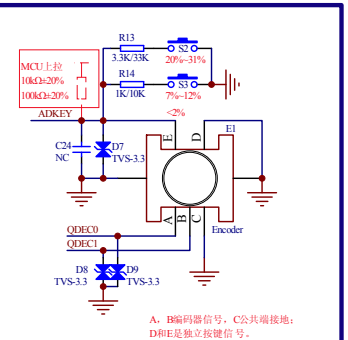
充电保护&锂电池



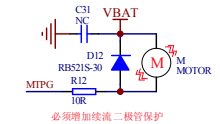
TP　LCD　支付宝(SE)　Compass



Gsensor　PPG



3按键&旋转编码器



振动马达